

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-134598

(43)Date of publication of application : 22.05.1998

(51)In..Cl.

G11C 29/00  
G11C 29/00

(21)Application number : 08-287936

(71)Applicant : NEC CORP

(22)Date of filing : 30.10.1996

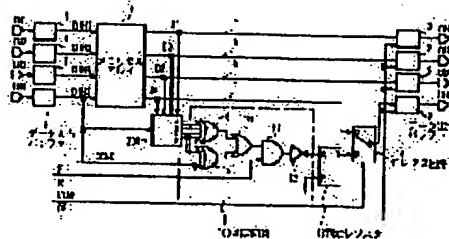
(72)Inventor : NANBA YASUHIRO

## (54) SEMICONDUCTOR MEMORY AND ITS TEST METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the yield of products even if defects exist in parts of a memory cell array when a set of a plurality of bits is tested whether the bit data agree with comparing data or not by a method wherein data read out of the defective cells are masked and the memory cell array is evaluated as a nondefective semiconductor memory whose memory capacity is smaller than an ordinary memory capacity.

**SOLUTION:** In reading/writing tests, etc., in a wafer stage, the agreement of the 4-bit data D1-D4 of a memory cell array with an expected value is tested for the respective sets of the 4-bit data D1-D4. A fuse circuit 200 has four systems of unit fuses. If, for instance, 3 data among the data D1-D4 agree with the expected value, the unit fuse corresponding to the disagreeing datum, for instance D1, is cut off by a laser. In a stress test, etc., after assembly, a discriminating circuit 100 continues the tests by using a corresponding comparing datum in place of the read datum, for instance D1, of the bit whose corresponding fuse is cut off.



## LEGAL STATUS

[Date of request for examination] 30.10.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2930037

[Date of registration] 21.05.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

**BEST AVAILABLE COPY**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-134598

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

G11C 29/00

G11C 29/00

(21)Application number : 08-287936

(71)Applicant : NEC CORP

(22)Date of filing : 30.10.1996

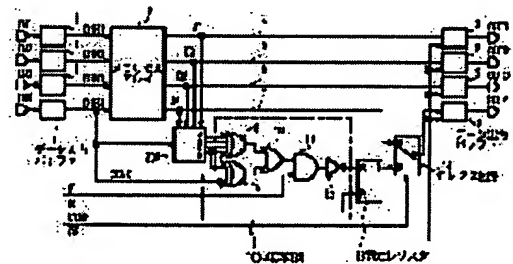
(72)Inventor : NANBA YASUHIRO

## (54) SEMICONDUCTOR MEMORY AND ITS TEST METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the yield of products even if defects exist in parts of a memory cell array when a set of a plurality of bits is tested whether the bit data agree with comparing data or not by a method wherein data read out of the defective cells are masked and the memory cell array is evaluated as a nondefective semiconductor memory whose memory capacity is smaller than an ordinary memory capacity.

**SOLUTION:** In reading/writing tests, etc., in a wafer stage, the agreement of the 4-bit data D1-D4 of a memory cell array with an expected value is tested for the respective sets of the 4-bit data D1-D4. A fuse circuit 200 has four systems of unit fuses. If, for instance, 3 data among the data D1-D4 agree with the expected value, the unit fuse corresponding to the disagreeing datum, for instance D1, is cut off by a laser. In a stress test, etc., after assembly, a discriminating circuit 100 continues the tests by using a corresponding comparing datum in place of the read datum, for instance D1, of the bit whose corresponding fuse is cut off.



BEST AVAILABLE COPY

(11)特許出願公開番号

特開平10-134598

(43)公開日 平成10年(1998)5月22日

6 7 1 P  
6 0 5 Z

審査請求 有 請求項の数3 OL (全 9 頁)

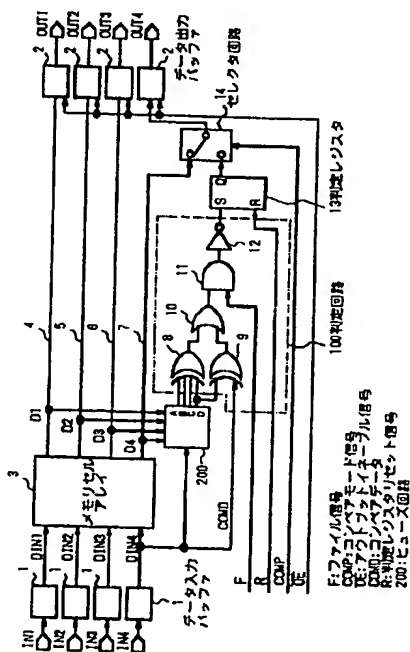
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 半導体メモリ及びそのテスト方法

(57) 【要約】

【課題】半導体メモリをテストボードに多数搭載してテストする場合のテスト時間を短縮すると共に、メモリセルの一部に不良があってもそのメモリセルからの読み出しデータをマスクして良品としてテスト可能とする。

【解決手段】複数ビット1組の単位データを書き込み記憶するメモリアルレイ3と、メモリアルレイ3から読み出された複数ビット1組のデータの中で期待値と異なるビットを含むシリアルデータについてはヒューズを切断することによりマスクし、代わりに期待値データCOMDを出力し他のビットはそのまま出力するヒューズ回路200と、ヒューズ回路200の出力端A、B、C、Dから出力されるデータと期待値データCOMDの全ビットの一致、不一致を判定する判定回路100を備える。



## 【特許請求の範囲】

【請求項1】 供給された所定の複数ビット1組の単位データを所定のアドレスにビットパラレルに書き込み記憶し所定のアドレスに記憶されている前記単位データをビットパラレルに読み出すメモリセルアレイと、前記メモリセルアレイに前記単位データをビットパラレルに書き込む書き込み手段と、前記メモリセルアレイに書き込んだ前記単位データをビットパラレルに読み出す読み出し手段と、前記メモリセルアレイから読み出された前記単位データの各ビットを入力とする第1の接点と前記単位データに対する期待値である期待値データをそれぞれ入力する第2の接点とを切り替え出力端に出力するスイッチと切断の有無によって前記スイッチの前記出力端と前記第1又は前記第2の接点とを接続するヒューズを備える複数の単位ヒューズ回路と、前記各ヒューズ回路の出力と前記期待値データの全ビットの一致、不一致を判定し一致レベル、不一致レベルの判定信号を出力する判定回路と、テストモードに入った直後に発生する判定レジスタリセット信号にตอบสนองしてリセットされ前記判定信号の不一致レベルにตอบสนองしてセットレベルにセットされ次の前記判定レジスタリセット信号の発生までその状態を保持する判定レジスタと、前記メモリセルアレイからの通常の読み出し動作時は、前記単位データの任意のビットを前記読み出し手段に伝達しテストモード時は所定のタイミングで発生するテスト信号にตอบสนองして前記判定レジスタに記憶されている前記判定信号を前記読み出し手段に伝達するセレクト回路を備えることを特徴とする半導体メモリ。

【請求項2】 前記単位ヒューズ回路が、一端を電源に接続し他端をソースとドレインを共通接続すると共に接地電位に接続した低しきい値を有するMOSトランジスタのゲートに接続したヒューズと、前記ヒューズの他端をドレインに接続しソースを接地電位に接続した第1のNチャネルトランジスタと、前記第1のNチャネルトランジスタのドレインを入力に接続し出力を前記第1のNチャネルトランジスタのゲートに接続したインバータと、前記インバータの入力をゲートに入力した第2のNチャネルトランジスタと第1のPチャネルトランジスタと、前記第2のNチャネルトランジスタのソース及びドレインをそれぞれソース及びドレインに接続した第2のPチャネルトランジスタと、前記第1のPチャネルトランジスタのソース及びドレインをそれぞれソース及びドレインに接続した第3のNチャネルトランジスタとを備え、前記インバータの出力を前記第2のPチャネルトランジスタのゲート及び第3のNチャネルトランジスタのゲートに接続し、前記単位データの任意の1ビットを前記第

2のNチャネルトランジスタと前記第2のPチャネルトランジスタからなる第1のトランスファゲートに入力し、前記期待値データを前記第1のPチャネルトランジスタと前記第3のNチャネルトランジスタからなる第2のトランスファゲートに入力し、前記第1のトランスファゲートと前記第2のトランスファゲートの各出力を共通接続することを特徴とする請求項1記載の半導体メモリ。

【請求項3】 メモリアレイの全てのメモリセルに全ビット同一レベルの複数ビット1組の単位データを順次書き込む工程と、前記単位データをビットパラレルに読み出し前記単位データに対する期待値データとの比較を、前記メモリセルアレイのアドレスを更新しつつ繰り返す工程と、前記期待値データと一致した前記単位データからなる正常シリアルデータが入力する単位ヒューズ回路を、前記正常シリアルデータを判定回路に出力するように前記単位ヒューズ回路を構成するヒューズをそのままとし、前記期待値データと不一致となった前記単位データのビットを含む不良シリアルデータが入力する単位ヒューズ回路を、前記不良シリアルデータをマスクすると共に前記不良シリアルデータに代わって前記期待値データを判定回路に出力するように前記単位ヒューズ回路を構成するヒューズを切断する工程と、前記判定回路に入力する全ての単位ヒューズ回路の出力データと期待値データの全ビットの一致、不一致を判定し、一致レベル及び不一致レベルの判定信号を判定レジスタに出力する工程と、前記判定レジスタをテストモードに入った直後にリセットし、次のリセット信号まで前記不一致レベルにตอบสนองしてセットしその状態を前記判定レジスタに保持する工程と、前記判定レジスタに保持している判定信号を所定のタイミングで発生するテスト信号にตอบสนองして読み出し手段を介しテストに出力することによりメモリセルの正常又は異常の別を判定する工程とを有することを特徴とする半導体メモリのテスト方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体メモリ及びそのテスト方法に関し、特にテストモードを備える大容量の半導体メモリ及びそのテスト方法に関する。

【0002】

【従来の技術】 近年、DRAM（ダイナミック・ランダム・アクセス・メモリ）をはじめ半導体メモリの記憶容量は、3年に4倍の割合で増大している。このため、大容量の半導体メモリをテストするためのテストパターン及びテスト時間が増大し、テストに要する費用の増加が大きな問題となっている。

【0003】 従来の半導体メモリのテスト方法を図4を

3

参照して説明すると、ステップS1でウェハース段階での全メモリセル及びチップに搭載されている基準電圧源などの第1次検査を行う。この段階で、欠陥を有するメモリセルについてはそのアドレス情報をテスターに記憶する。

【0004】次に、ステップS2で半導体メモリにあらかじめ用意している冗長回路によって、ステップS1の第1次検査の結果不良と判定されたチップが救済可能か否かを判定する。すなわち、半導体メモリにあらかじめ用意している冗長回路の数よりも欠陥のあるメモリセルの数が少なければ救済可能と判定し、逆に欠陥のあるメモリセルの数が多ければ救済不可と判定しステップS10で不良品として廃棄する。

【0005】ステップS2で救済可能と判定されたチップは、ステップS3で欠陥を有するメモリセルに代わって冗長回路に切り替えるために、冗長回路のアドレスを指定するためチップ上に用意されているヒューズ（図示せず）をレーザビームで切断する。

【0006】次に、ステップS4でステップS1と同様に全メモリセルについて第2次検査を行い、ステップS5で良品か不良品かの判定を行う。不良品であればステップS10で不良品として廃棄し、良品であればステップS6で組み立てを行う。

【0007】ステップS6で組み立てを行った半導体メモリは、ステップS7で信頼性に関する良、不良をテストするために、テストボード上に多数セットされ低温と常温及び高温の環境の下で電源とクロックが印加されるストレスが加えられた状態で選別作業をうける。

【0008】このとき、第1次検査及び第2次検査と同様に全メモリセルに対してテストを行うと、テスト時間が非常に長くなるので、簡略化したテスト方法が採用されている。最近の半導体メモリに用いられるテスターは高価であり、テストのスループットを向上させることが製造コストを下げるために重要である。この目的から、ステップS7で行われる簡略化したテスト方法としてはなるべく並列測定が可能のように、半導体メモリ内にテスト回路を内蔵し判定結果だけを出力するよう工夫されている。

【0009】次に、ステップS8で良品か不良品の判定を行い、良品であればステップS9で、高温及び低温での環境下の信頼性も合格となった最終的な良品として出荷する。

【0010】上述した従来の半導体メモリは、図5に示すように、メモリセルアレイ3と、メモリセルアレイ3にデータを書き込むための入力バッファであるデータ入力バッファ1と、データ入力バッファ1にそれぞれ接続している外部ピンIN1～IN4と、メモリセルアレイ3に書き込まれているデータを読み出すための出力バッファであるデータ出力バッファ2と、データ出力バッファ2にそれぞれ接続している外部ピンOUT1～OUT

4

4と、判定回路100と、判定レジスタ13と、セレクト回路14とを備えている。

【0011】なお、外部ピンIN1～IN4は、外部ピンOUT1～OUT4と実際は同一ピンであり、メモリセルアレイ3にデータを書き込む際は、外部ピンIN1～IN4として作用し、データを読み出す際はOUT1～OUT4として作用するが、説明の都合上図面では分けて書いてある。

【0012】また、判定回路100は、Exclusive ORゲート8、9と、ORゲート10と、ANDゲート11と、インバータ12とから構成される。

【0013】次に、従来の半導体メモリの動作について図5及び図6に示すタイミングチャート図を参照して説明する。

【0014】通常の書き込み動作においては、外部ピンIN1～IN4からデータをそれぞれデータ入力バッファ1に入力し、データ入力バッファ1を介しメモリセルアレイ3の任意のメモリセルにデータDIN1～DIN4を書き込む。

【0015】また、読み出し動作においては、コンパモード信号COMPをロウレベルにしてセレクト回路14を構成するスイッチをメモリセルアレイ3側に導通するように設定すると、選択されたメモリセルアレイ3の任意のメモリセルのデータが、データD1～D3としてデータ出力線4～6とデータ出力バッファ2を介して外部ピンOUT1～OUT3に出力され、データD4はデータ出力線7とセレクト回路14とデータ出力バッファ2を介して外部ピンOUT4に出力される。

【0016】次に、図4のステップS7で行うメモリセルアレイ3を簡略化してテストする方法について図5および図6を参照して説明する。

【0017】最初に、電子デバイス技術合同協議会（JEDEC）により標準化されているテストモードセットサイクルのWRITECAS Before RAS（WCBR）サイクルを実行する。すなわち、図6に示すタイミングでロウアドレスストロブ信号RASバーとコラムアドレスストロブ信号CASバーを半導体メモリに搭載されているテスト回路（図示せず）に供給すると、テスト回路がWCBRサイクルであると判定し、ライトイネーブル信号WEバーをロウアクティブにする。

【0018】これにより、データ入力バッファ1が活性化され、外部ピンから入力するアドレスAiに従って、テストから外部ピンIN1～IN4を介しさらにデータ入力バッファ1を通して4ビットのデータDIN1～DIN4がメモリセルアレイ3に書き込まれる。このとき、テストから入力する4ビットのデータDIN1～DIN4は全て“1”か全て“0”とする。

【0019】次に、テストモードの後半部分に相当するリードサイクルに移ると、テスト回路はハイレベルのコ

ンペアモード信号COMPをセクタ回路14に出力する。セクタ回路14は、コンペアモード信号COMPを受けて判定レジスタ13の出力端子Qとデータ出力バッファ2の入力とを接続する。次いで、テストから判定回路15のリセット端子にリセット信号Rが送られ、判定レジスタ13がリセットされる。

【0020】次に、外部端子から入力した4ビットのアドレス入力信号Aiにより選択されたメモリセルのデータを読み出し、この4ビットのデータD1～D4を判定回路100を構成するExclusiveORゲート8、9に入力すると共に、外部端子IN4からデータ入力バッファ1を介し期待値信号であるコンペアデータCOMDをExclusiveORゲート9に入力する。

【0021】ExclusiveORゲート8は、4ビットのデータD1～D4同志を比較し、4ビット全て一致していれば“0”、1ビットでも異なっていれば

“1”をORゲート10に出力する。また、ExclusiveORゲート9も同様に、コンペアデータCOMDと4ビットのデータD1～D4のうちの任意の1ビットデータ（ここではD4とする）を比較し、入力したデータが一致していれば“0”、不一致であれば“1”をORゲート10に出力する。

【0022】従って、ORゲート10は、4ビットデータD1～D4とコンペアデータCOMDが全て一致していれば“0”、1ビットでも異なっていれば“1”をANDゲート11に出力する。

【0023】ANDゲート11は、テスト回路から出力されるフェイル信号Fが“1”になるとORゲート10の出力信号をマスクするのを停止し、インバータ12に出力信号を供給する。インバータ12は、この信号を反転し判定レジスタ13のセット端子Sに反転信号を供給する。

【0024】従って、メモリセルアレイ3から出力される4ビットのデータD1～D4と期待値信号であるコンペアデータCOMDが全て一致していれば“1”が判定レジスタ13に書き込まれ、判定レジスタ13は“1”を保持する。

【0025】次に、上記のテストサイクルをアドレス入力信号Aiを変更して実行し、インバータ12の出力信号を判定レジスタ13に書き込むが、もし4ビットのデータD1～D4とコンペアデータCOMDが1ビットでも不一致の場合、すなわち、インバータ12の出力が“0”の場合は、判定レジスタ13に保持している“1”を“0”に更新し、以後のテストサイクルで判定レジスタ13のセット端子Sに“1”が入力しても“0”を保持し続ける。

【0026】このように、上記のテストサイクルをアドレス入力信号Aiを変更しつつ繰り返すことにより、4ビットのデータD1～D4とコンペアデータCOMDが全てのメモリセルで一致していれば、判定レジスタ13

は“1”を、1ビットでも不一致があれば“0”の判定結果を保持する。

【0027】次に、アウトプットイネーブル信号OEバーによりデータ出力バッファ2を活性化し、判定レジスタ13に保持されている判定結果を判定レジスタ13の出力端子Qからセクタ回路14とデータ出力バッファ2及び外部ピンOUT4を介してテストに出力し、テストはこの判定結果により半導体メモリの良否を判定する。

【0028】従って、半導体メモリに内蔵している判定回路100と判定レジスタ13及びセクタ回路14とを用いて、4ビットごとに全メモリセルを内部的にテストした後、テストは1回のテストサイクルでテストボード上に多数セットされた半導体メモリをテストすることができるので、テストが必要とする半導体メモリ当たりのピン数を大幅に削減することができる。いま、図4に示すステップS7での選別工程でテストボード上に半導体メモリが272個搭載され、テストが備えている同時アクセス可能な入出力モジュールを64セットとし、各半導体メモリのメモリセルアレイ3から4ビットの出力データを読み出す通常のテスト方法で判定すれば、1回のテストサイクルで $64/4=16$ 個の半導体メモリしかテストできないことになる。従って、272個の半導体メモリ全てをテストするには、 $272/16=17$ 回のテストサイクルが必要となるが、上述したように半導体メモリに内蔵した判定回路100と判定レジスタ13及びセクタ回路14とを用いて簡略化したテスト方法では、1テストサイクルで64個の半導体メモリが同時測定可能なので、 $272/64=4.25$ すなわち、5回のテストサイクルで全ての半導体メモリが測定でき、大幅にテスト時間を短縮することができる。

【0029】

【発明が解決しようとする課題】従来の判定回路100と判定レジスタ13及びセクタ回路14を内蔵した半導体メモリは、テストサイクルごとにメモリセルアレイ3から4ビット1組で並列に読み出したデータD1～D4と期待値信号であるコンペアデータCOMDとの一致及び不一致を判定し、この判定結果を判定レジスタ13に格納し、このテストサイクルを全メモリセルについて繰り返すことにより、半導体メモリをテストするのに必要なピン数を大幅に削減することができると共に、テスト時間を短縮することができるものの、4ビット1組で並列に読み出されたデータD1～D4のうち1ビットでも不良があれば全メモリを不良にしてしまうという問題があった。

【0030】例えば、テストモードの書き込みサイクルでメモリセルアレイ3に全て“1”を書き込み、テストモードの読み出しサイクルで4ビット1組で並列にデータD1～D4を読み出す場合、任意のテストサイクルでデータD1に“0”が読み出され、他のデータD2～D

4には全て“1”が読み出された場合、従来の半導体メモリにおいては、読み出されたデータD2～D4が全て正常な期待値通りのデータであっても、図4のステップS8で不良と判定され廃棄処理されてしまう。

【0031】一方、半導体メモリの記憶容量はDRAMを例にとると、4Mビットから16Mビットへさらに64Mビットへと増大しており、メモリセルアレイ3に存在する不良を半導体メモリに搭載した冗長回路で全て救済することは困難となってきた。従って、半導体メモリが大容量化すると共に歩留まりが低下し、製造コストが増大するという問題がある。

【0032】本発明の目的は、判定回路100と判定レジスタ13及びセレクト回路14を内蔵した半導体メモリにおいて、複数ビットを1組にしてコンペアデータCOMDとの一致及び不一致をテストする際に、メモリセルアレイ3の一部に欠陥が存在しても、この欠陥を有するメモリセルから読み出されるデータをマスクすることにより、記憶容量を正規の記憶容量よりも少なくした良品の半導体メモリとしてテストすることができる半導体メモリ及びそのテスト方法を提供することにある。

【0033】

【課題を解決するための手段】そのため、本発明による半導体メモリは、供給された所定の複数ビット1組の単位データを所定のアドレスにビットパラレルに書き込み記憶し所定のアドレスに記憶されている前記単位データをビットパラレルに読み出すメモリセルアレイと、前記メモリセルアレイに前記単位データをビットパラレルに書き込む書き込み手段と、前記メモリセルアレイに書き込んだ前記単位データをビットパラレルに読み出す読み出し手段と、前記メモリセルアレイから読み出された前記単位データの各ビットを入力とする第1の接点と前記単位データに対する期待値である期待値データをそれぞれ入力する第2の接点とを切り替え出力端に出力するスイッチと切断の有無によって前記スイッチの前記出力端と前記第1又は前記第2の接点とを接続するヒューズを備える複数の単位ヒューズ回路と、前記各ヒューズ回路の出力と前記期待値データの全ビットの一致、不一致を判定し一致レベル、不一致レベルの判定信号を出力する判定回路と、テストモードに入った直後に発生する判定レジスタリセット信号に応答してリセットされ前記判定信号の不一致レベルに応答してセットレベルにセットされ次の前記判定レジスタリセット信号の発生までの状態を保持する判定レジスタと、前記メモリセルアレイからの通常の読み出し動作時は、前記単位データの任意のビットを前記読み出し手段に伝達しテストモード時は所定のタイミングで発生するテスト信号に応答して前記判定レジスタに記憶されている前記判定信号を前記読み出し手段に伝達するセレクト回路を備えることを特徴としている。

【0034】また、本発明による半導体メモリのテスト

方法は、メモリアレイの全てのメモリセルに全ビット同一レベルの複数ビット1組の単位データを順次書き込む工程と、前記単位データをビットパラレルに読み出し前記単位データに対する期待値データとの比較を、前記メモリセルアレイのアドレスを更新しつつ繰り返す工程と、前記期待値データと一致した前記単位データからなる正常シリアルデータが入力する単位ヒューズ回路を、前記正常シリアルデータを判定回路に出力するように前記単位ヒューズ回路を構成するヒューズをそのままとし、前記期待値データと不一致となった前記単位データのビットを含む不良シリアルデータが入力する単位ヒューズ回路を、前記不良シリアルデータをマスクすると共に前記不良シリアルデータに代わって前記期待値データを判定回路に出力するように前記単位ヒューズ回路を構成するヒューズを切断する工程と、前記判定回路に出力する全ての単位ヒューズ回路の出力データと期待値データの全ビットの一致、不一致を判定し、一致レベル及び不一致レベルの判定信号を判定レジスタに出力する工程と、前記判定レジスタをテストモードに入った直後にリセットし、次のリセット信号まで前記不一致レベルに应答してセットしその状態を前記判定レジスタに保持する工程と、前記判定レジスタに保持している判定信号を所定のタイミングで発生するテスト信号に応答して読み出し手段を介しテストに出力することによりメモリセルの正常又は異常の別を判定する工程とを有することを特徴としている。

【0035】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0036】図1は、本発明の半導体メモリの一つの実施の形態を示す回路図である。本実施の形態による半導体メモリは、従来のメモリセルアレイ3と、メモリセルアレイ3にデータを書き込むための入力バッファであるデータ入力バッファ1と、データ入力バッファ1にそれぞれ接続している外部ピンIN1～IN4と、メモリセルアレイ3に書き込まれているデータをデータ出力線4～7を介して読み出すための出力バッファであるデータ出力バッファ2と、データ出力バッファ2にそれぞれ接続している外部ピンOUT1～OUT4と、判定回路100と判定レジスタ13及びセレクト回路14に加えヒューズ回路200を備えたことを特徴としている。

【0037】また、ヒューズ回路200は図2に示すように、ヒューズ211と、低しきい値を有するMOSトランジスタ212と、Nチャネルトランジスタ213、215、217と、インバータ214と、Pチャネルトランジスタ216、218とから構成される単位ヒューズ回路210を4系統備えている。

【0038】次に、本発明の実施の形態の半導体メモリの動作について、図1、図2及び本発明の半導体メモリのテスト方法を示す図3を参照して説明する。

【0039】図3のステップS1で、従来の半導体メモリと同様に、ウェハース段階での全メモリセルのリード及びライトテスト及び半導体メモリチップに搭載されている基準電圧源などの第1次検査を行うと共に、欠陥を有するメモリセルについてはそのアドレス情報をテストに記憶する。

【0040】次に、ステップS11でメモリセルアレイ3からデータ出力線4〜7を介し読み出された4ビット1組のデータD1〜D4からなる4つのシリアルデータのうち、期待値通り出力されたシリアルデータが幾つあるかを求めてテストに記憶する。

【0041】4ビット1組のデータD1〜D4からなる4つのシリアルデータ全てが期待値と異なるデータを有する場合ステップS10で廃棄処理を行い、逆に4ビット1組のデータD1〜D4からなる4つのシリアルデータとも全て期待値通りであれば、ステップS3で従来の半導体メモリと同様に半導体メモリに搭載されている冗長回路を用いて不良のメモリセルを置き換える。また、4ビット1組のデータD1〜D4からなる4つのシリアルデータのうち期待値と一致しているシリアルデータが1〜3つある場合、例えば、データD1からなるシリアルデータのみが期待値と異なるデータを有し、データD2〜D4からなるシリアルデータについては全ビット期待値通りであるとする。この場合、ステップS12でヒューズ回路200を構成する4系統の単位ヒューズ回路210のうち、データD1が入力する単位ヒューズ回路210を構成するヒューズ211をレーザーで切断し、データD2〜D4が入力する単位ヒューズ回路210を構成する各ヒューズ211はそのままとする。

【0042】ヒューズ211が切断されない単位ヒューズ回路210では、インバータ214の入力端がハイレベルにクランプされるため、インバータ214の出力はロウレベルになり、Nチャネルトランジスタ213はオフとなる。また、トランスファゲートを構成するNチャネルトランジスタ215とPチャネルトランジスタ216は共にオンし、一方Nチャネルトランジスタ217とPチャネルトランジスタ218は共にオフする。

【0043】この結果、データD2〜D4はそれぞれ単位ヒューズ回路210の出力端B、C、Dに出力可能となり、コンペアデータCOMDは、トランスファゲートを構成するNチャネルトランジスタ217とPチャネルトランジスタ218が共にオフするため、出力端B、C、Dに出力されない。

【0044】また、データD1が入力する単位ヒューズ回路210ではヒューズ211がレーザーで切断される。ソース・ドレインがショートした低しきい値を有するMOSトランジスタがコンデンサとして作用し放電するため、インバータ214の入力はロウレベルとなる。従って、インバータ214の出力はハイレベルとなり、Nチャネルトランジスタ213はオンとなる。このため、イ

ンバータ214の入力はGNDレベルに低下しこのまま安定する。

【0045】また、トランスファゲートを構成するNチャネルトランジスタ217とPチャネルトランジスタ218が共にオンし、コンペアデータCOMDが単位ヒューズ回路210の出力端Aに出力可能となる。一方、トランスファゲートを構成するNチャネルトランジスタ215とPチャネルトランジスタ216は共にオフするため、データD1は出力端Aに出力されず、データD1とコンペアデータCOMDが出力端Aで衝突することはない。

【0046】次に、ステップS3で欠陥を有するメモリセルに代わって冗長回路に切り替えるために、冗長回路のアドレスを指定するためチップ上に用意されているヒューズをレーザービームで切断し、ステップS4'でデータD1を出力するメモリセルを除く全メモリセルについて第2次検査を行い、ステップS5'でデータD1を出力するメモリセルを除いたメモリセルについての良品か不良品かの判定を行う。不良品であればステップS10で不良品として廃棄し、良品であればステップS6で組み立てを行う。

【0047】ステップS6で組み立てを行った半導体メモリは、ステップS7'でストレスを印加した状態で選別作業を受ける。このとき、メモリセルアレイ3、判定回路100、判定レジスタ13のタイミングチャートは、図6に示すように従来の半導体メモリの場合と同様であるが、出力端Aを有する単位ヒューズ回路210を構成するヒューズ211が切断されているので、図1でコンペアデータCOMDは、ExclusiveORゲート9に入力すると共にヒューズ回路200を構成し出力端Aを有する単位ヒューズ回路210を伝ばし、さらに出力端Aを介しExclusiveORゲート8に入力する。

【0048】従って、ExclusiveORゲート8は出力端B、C、Dから出力されるデータD2、D3、D4の一致・不一致を判定し、データD2〜D4が全て一致していれば“0”を出力し、1ビットでも不一致であれば“1”を出力する。

【0049】このように、判定回路100は、データD1を除いたデータD2〜D4の一致・不一致をテストサイクルごとに判定し、判定レジスタ13に判定結果を書き込む。データD2〜D4が期待値であるコンペアデータCOMDと全テストサイクルに対し一致すれば、ステップS8'でデータD1を使用せずデータD2〜D4の3ビットを使用することで、ステップS9で良品として出荷することができる。

【0050】

【発明の効果】以上説明したように、本発明による半導体メモリ及びそのテスト方法は、テストモード時、メモリセルアレイから読み出された複数ビット1組のデータ



の期待値と対応する比較データとの一致及び不一致を判定する判定回路と、メモリセルアレイの出力端と判定回路の入力端の間にヒューズ回路を設け、複数ビットのうち不良ビットが入力するヒューズ回路を構成する単位ヒューズ回路内のヒューズを切断し、残りの期待値と一致するビットが入力する単位ヒューズ回路内のヒューズはそのままとすることにより、テスト時間を大幅に短縮し、全ビット反転不良の検出が可能であるばかりでなく、複数ビット1組のデータのうち、一部のビットに相当するメモリセルに不良があっても、残りのメモリセルを良品としてテストすることができる。

【0051】このため、大容量半導体メモリのテストをメモリの一部に不良があっても、この半導体メモリを不良とすることなく良品として出荷することができるので、経済性が優れているという効果がある。

【図面の簡単な説明】

【図1】本発明の半導体メモリの実施の形態を示すブロック図である。

【図2】図1のヒューズ回路の回路図である。

【図3】本発明の半導体メモリのテスト方法の実施の形態を示すフローチャート図である。

【図4】従来の半導体メモリのテスト方法を示すフロー

チャート図である。

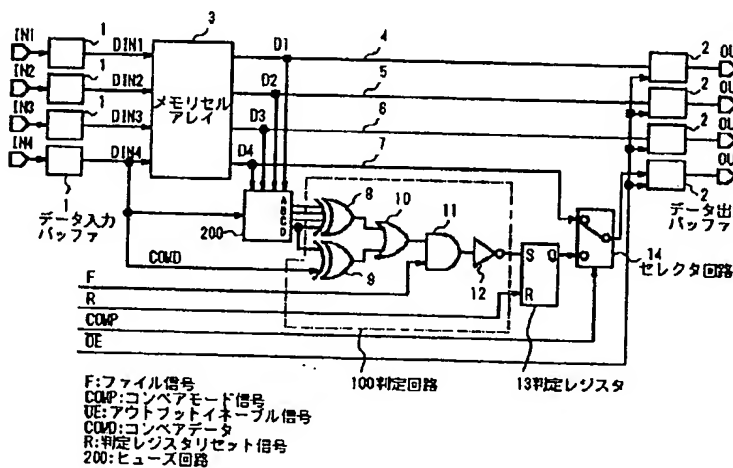
【図5】従来の半導体メモリのブロック図である。

【図6】図1及び図5に示された半導体メモリの動作を説明するためのタイミングチャートである。

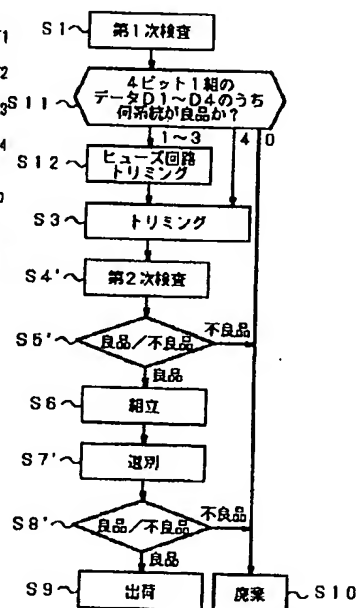
【符号の説明】

- 1 データ入力バッファ
- 2 データ出力バッファ
- 3 メモリセルアレイ
- 4～7 データ出力線
- 8, 9 Exclusive ORゲート
- 10 ORゲート
- 11 ANDゲート
- 12 インバータ
- 13 判定レジスタ
- 14 セレクタ回路
- 100 判定回路
- 200 ヒューズ回路
- 211 ヒューズ
- 212 低しきい値を有するMOSトランジスタ
- 213, 215, 217 Nチャネルトランジスタ
- 216, 218 Pチャネルトランジスタ

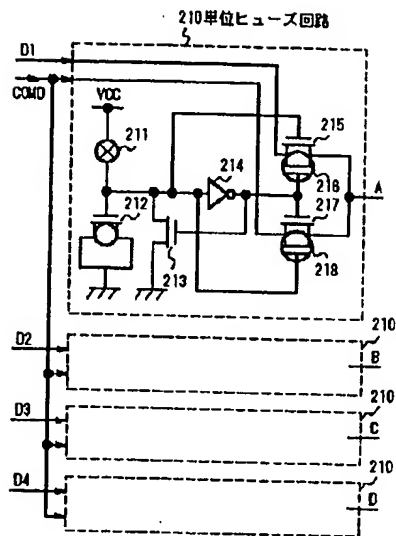
【図1】



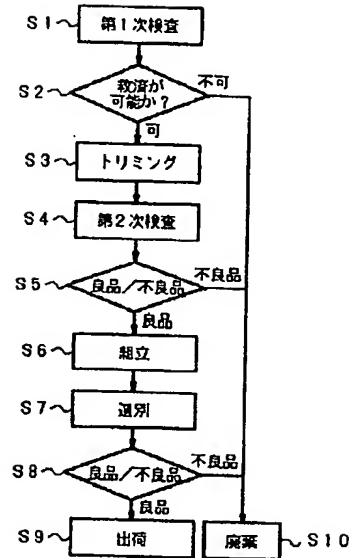
【図3】



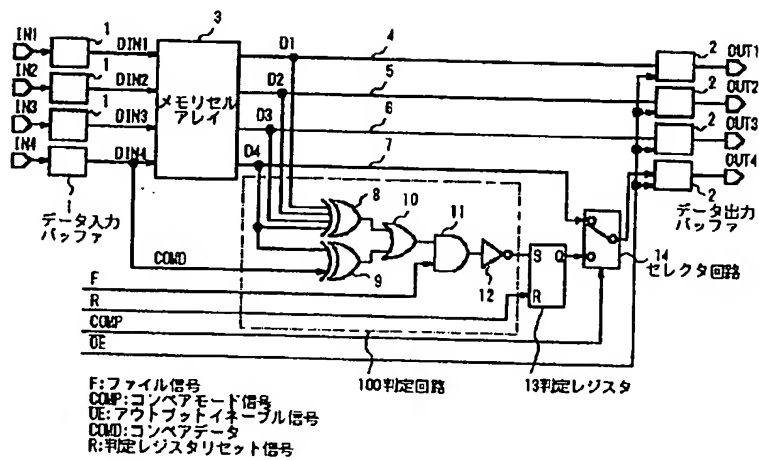
【図2】



【図4】



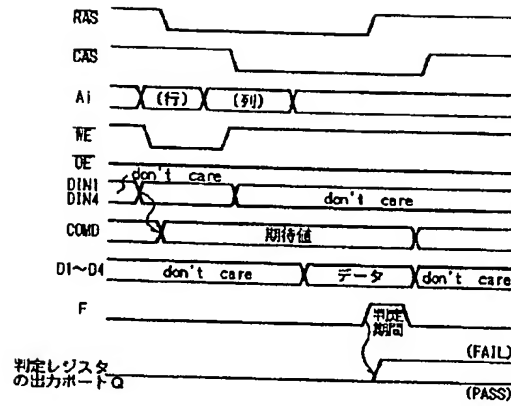
【図5】



(9)

特開平10-134598

【図6】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**